

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-198505

(P2002-198505A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl. ⁷	識別記号	F I	マークシート(参考)
H 0 1 L 27/146		H 0 4 N 5/335	U 4 M 1 1 8
H 0 4 N 5/335		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数 9 ○ L (全 14 頁)

(21) 出願番号 特願2000-397845(P2000-397845)

(22) 出願日 平成12年12月27日 (2000.12.27)

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内 3 丁目 2 番 3 号

(72) 発明者 鈴木 智

東京都千代田区丸の内 3 丁目 2 番 3 号 株

式会社ニコン本社内

(74) 代理人 100096770

弁理士 四宮 通

Fターム(参考) 4M18 A005 A010 A601 B014 C004

CA22 CA40 FA06 FA14 FA19

FA20 FA34 FA36 FA42 G807

GB11 GB15 GB19 GB20

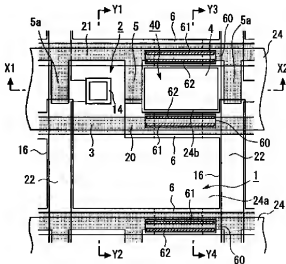
5C024 CX13 CX41 GX03 GY00 GZ36

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 スミアの発生や感度の低下などの、斜めに入射する光に伴う不都合を低減する。

【解決手段】 固体撮像装置は、複数の画素を備える。各画素に対して2つのフォトダイオード1、40が形成される。遮光膜24には、フォトダイオード1、40に対応して、2つの光入射用の開口部24a、24bが形成される。開口部24a、24bの全周の一部に沿って、フォトダイオード1、40と斜光反射膜24との間の高さ位置において、開口部24a、24bから斜めに入射する光の一部を反射する斜光反射部60～62が形成される。



【特許請求の範囲】

【請求項1】 複数の画素を備え、前記各画素に対して1つ以上の受光部が形成され、前記1つ以上の受光部に対する入射光の開口部を持つ遮光膜を有する固体撮像装置において、

前記複数の画素のうちの全部又は一部の画素の各々について、当該画素に対応する前記1つ以上の受光部のうちの少なくとも1つの受光部に対応する前記開口部の全周の少なくとも一部に沿って、当該少なくとも1つの受光部と前記遮光膜との間の高さ位置において、当該開口部から斜めに入射する光である斜光の一部を反射する斜光反射部が形成されたことを特徴とする固体撮像装置。

【請求項2】 前記斜光反射部は、前記全周の実質的に全体に沿って形成されたことを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記斜光反射部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層と同じ材料で構成された反射層を含み、前記反射層の側面が前記斜光の一部を反射することを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】 前記斜光反射部の少なくとも一部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層又は兼用されたことを特徴とする請求項1乃至3のいずれかに記載の固体撮像装置。

【請求項5】 前記斜光反射部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層と分離して形成されたことを特徴とする請求項1乃至3のいずれかに記載の固体撮像装置。

【請求項6】 前記斜光反射部の少なくとも一部は、スルーホール構造を形成することを特徴とする請求項1乃至5のいずれかに記載の固体撮像装置。

【請求項7】 前記斜光反射部は、当該斜光反射部に対応する前記開口部の中心位置を中心として略々点対称となるように配置されたことを特徴とする請求項1乃至6のいずれかに記載の固体撮像装置。

【請求項8】 前記斜光反射部は、当該斜光反射部に対応する画素の位置に応じて、当該斜光反射部に対応する前記開口部に対する当該斜光反射部の配置が定められ、前記複数の画素のうちの少なくとも1つの画素に対応する前記斜光反射部に対応する前記開口部に対する当該斜光反射部の配置と、異なることを特徴とする請求項1乃至6のいずれかに記載の固体撮像装置。

【請求項9】 2次元状に配列された複数の光電変換部であって、各々が入射光に応じた信号電荷を生成して蓄積する複数の光電変換部と、前記複数の光電変換部に対応して設けられた複数の増幅部であって、各々が、制御領域を有し該制御領域の電荷

に応じた信号出力を生成する複数の増幅部と、前記複数の光電変換部に対応して設けられた複数の転送部であって、前記複数の光電変換部でそれぞれ生成されて蓄積された信号電荷を前記複数の増幅部の前記制御領域にそれぞれ転送する複数の転送部と、各々が前記複数の光電変換部の行毎に設けられた複数の配線と、

前記複数の増幅部に対応して設けられた複数の半導体領域と、前記複数の光電変換部の行毎に設けられ、当該行に対応する前記複数の半導体領域と当該行に対応する前記複数の増幅部の前記制御領域との間の電気的な接続及び遮断を制御する複数のスイッチング素子であって、各々が、当該行に対応する前記複数の半導体領域のいずれかと当該行に対応する前記複数の増幅部のいずれかの前記制御領域とをそれぞれ主電極領域とする複数のスイッチング素子と、を備え、

前記複数の半導体領域の全体のうちの少なくとも1つの半導体領域は、入射光に応じた信号電荷を生成するように形成され、

前記複数の光電変換部の行毎に、当該行に対応する前記複数のスイッチング素子が導通状態にある場合には、当該行に対応する前記複数の増幅部の前記制御領域が当該行に対応する前記配線に対して電気的に接続された状態となるとともに、当該行に対応する前記複数のスイッチング素子が遮断状態にある場合には、当該行に対応する前記複数の増幅部の前記制御領域が当該行に対応する前記配線に対して電気的に遮断された状態となり、

前記複数の光電変換部のうちの前記少なくとも1つの半導体領域が関連する各行については、当該行に対応する前記複数のスイッチング素子が導通状態にある場合には、前記少なくとも1つの半導体領域が当該行に対応する前記配線に対して電気的に接続された状態となり、前記光電変換部が、前記画素に対して形成された前記1つ以上の受光部のうちの1つの受光部を構成し、前記入射光に応じた信号電荷を生成するように形成された前記少なくとも1つの半導体領域が、前記画素に対して形成された前記前記1つ以上の受光部のうちの他の1つの受光部を構成する、

ことを特徴とする請求項1乃至8のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関するものである。

【0002】

【従来の技術】従来より、例えば電子カメラの画像入力素子として、CCD、CMOSイメージセンサ、増幅型イメージセンサ等の固体撮像装置が提供されている。

【0003】このような従来の種々の固体撮像装置では、複数の画素を備え、前記各画素に対して1つ以上の受光部が形成され、前記1つ以上の受光部に対する光入射用の開口部を持つ遮光膜を有している。

【0004】

【発明が解決しようとする課題】しかしながら、従来の固体撮像装置では、前記遮光膜の開口部から斜めに入射する光である斜光について配慮した構造を有しておらず、斜光の一部が受光部の周囲の部分にも到達してしまうことによって、種々の不都合が生じていた。これらの不都合の例として、スミアの発生や感度の低下などを挙げることができる。また、前記不都合の他の例について説明すると、例えば、特開11-204769号公報などに開示されている固体撮像装置のように、映像信号を得るために本来的な入射光を受光する撮像用の受光部の他に、入射光量モニタ用の受光部も備えている固体撮像装置では、撮像用の受光部に対応する開口部から入射した斜光の一部によって生ずる光発生電荷が、入射光量モニタ用の受光部から本来的に得られるべき光発生電荷に対して混入してしまい、入射光量を精度良くモニタすることができなくなる場合があった。以上説明した不都合は、画素の集積度を高めたり1つの画素に対して複数の受光部を設けたりすることによって、受光部の密度が高まるにつれ、著しくなる。

【0005】本発明は、このような事情に鑑みてなされたもので、入射する斜光に伴う不都合を低減することができる固体撮像装置を提供することを目的とする。

【0006】

【課題を解決するための手段】前記課題を解決するため、本発明の第1の態様による固体撮像装置は、複数の画素を備え、前記各画素に対して1つ以上の受光部が形成され、前記1つ以上の受光部に対する光入射用の開口部を持つ遮光膜を有する固体撮像装置において、前記複数の画素のうちの全部又は一部の画素の各々について、当該画素に対応する前記1つ以上の受光部のうちの少なくとも1つの受光部に対応する前記開口部の全周の少なくとも一部に沿って（全周の30%以上沿うことが好ましく、全周の50%以上沿うことがより好ましく、全周の70%以上沿うことがより一層好ましい。）、当該少なくとも1つの受光部と前記遮光膜との間の高さ位置において、当該開口部から斜めに入射する光である斜光の一部を反射する斜光反射部が形成されたものである。

【0007】この第1の態様によれば、斜光反射部が形成されているので、斜光の一部が斜光反射部で反射されて受光部へ入射する。したがって、受光部の周囲の部分へ入射する斜光の量が低減されるとともに、受光部に入射する光量が増えて感度が高まる。その結果、入射する斜光に伴う不都合が低減される。例えば、スミアが低減され、感度が高まり、場合によっては、入射光量のモニタ精度が高まる。

【0008】なお、前記第1の態様では、複数の画素について斜光反射部を形成してもよいが、例えば、前記複数の画素が分布している領域の周辺部の画素についてのみ斜光反射部を形成してもよい。これは、例えば、当該固体撮像装置を電子カメラに搭載する場合、結像レンズの光軸は前記領域の中心付近に設定されるので、前記領域の中心付近の画素にはほとんど傾きのない光が入射する一方、周辺部の画素では、前記レンズの光軸からの距離が大きくなるので、入射する光の傾きが大きくなるためである。

【0009】本発明の第2の態様による固体撮像装置は、前記第1の態様において、前記斜光反射部が、前記全周の実質的に全体に沿って形成されたものである。

【0010】この第2の態様では、前記全周の実質的に全体に沿って斜光反射部が形成されているので、斜光の向きにかかわらずに、受光部の周囲の部分へ入射する斜光の量を一層低減することができるとともに、受光部に入射する光量が増え一層感度が高まり、好ましい。

【0011】本発明の第3の態様による固体撮像装置は、前記第1又は第2の態様において、前記斜光反射部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層と同じ材料で構成された反射層を含み、前記反射層の側面が前記斜光の一部を反射するものである。

【0012】この第3の態様によれば、斜光反射部の少なくとも一部を構成する反射層の材料が前記電極層又は配線層と同じ材料（例えば、アルミニウムを主成分とする材料）で構成されているので、当該固体撮像装置の製造に際し、前記配線層を前記電極層又は配線層と同一の製造工程で形成することができる。このため、斜光反射部を容易に形成することができ、コストダウンを図ることができる。

【0013】本発明の第4の態様による固体撮像装置は、前記第1乃至第3のいずれかの態様において、前記斜光反射部の少なくとも一部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層と兼用されたものである。

【0014】この第4の態様によれば、斜光反射部の少なくとも一部が前記電極層又は配線層と兼用されているので、構造が簡単となりコストダウンを図ることができる。

【0015】本発明の第5の態様による固体撮像装置は、前記第1乃至第3のいずれかの態様において、前記斜光反射部は、前記遮光膜に対して下方の高さ位置に位置する電極層又は配線層と分離して形成されたものである。

【0016】前記第1乃至第3の態様では、前記第4の態様のように、斜光反射部の少なくとも一部が前記電極層又は配線層と兼用されてもよいが、前記第5の態様の

ように、斜光反射部が前記電極層又は配線層と分離されていてもよい。

【0017】本発明の第6の態様による固体撮像装置は、前記第1乃至第5のいずれかの態様において、前記斜光反射部の少なくとも一部は、スルーホール構造を形成するものである。ここで、スルーホール構造は、スルーホールと同様の構造を意味するが、電気的接続の機能の有無はいずれでもよい。

【0018】この第6の態様によれば、スルーホール構造が採用されているので、斜光反射部における有効な反射面の面積を増大させて斜光に対する反射量を増大させることができ、受光部の周囲の部分へ入射する斜光の量を一層低減することができるとともに、受光部に入射する光量がより増え一層感度が高まり、好ましい。また、当該固体撮像装置の製造に際し、遮光膜に対して下方の高さ位置に位置する電極層又は配線層に関するスルーホールと同一の製造工程で、斜光反射部のスルーホール構造も形成することができる。このため、斜光反射部を容易に形成することができ、コストダウンを図ることができる。

【0019】本発明の第7の態様による固体撮像装置は、前記第1乃至第6のいずれかの態様において、前記斜光反射部は、当該斜光反射部に対応する前記開口部の中心位置を中心として略々点対称となるように配置されたものである。

【0020】画素の位置に応じて開口部に入射する斜光の向きが異なるが、前記第7の態様のように斜光反射部を略々点対称となるように配置しておけば、画素の位置による斜光反射部の反射特性又は配線部の反射量のばらつきを低減することができ、好ましい。しかも、前記第7の態様によれば、斜光反射部の開口部に対する配置をいずれの画素についても同じにすることが可能となるため、パターン設計等が容易となる。

【0021】本発明の第8の態様による固体撮像装置は、前記第1乃至第6のいずれかの態様において、
(a) 前記斜光反射部は、当該斜光反射部に対応する画素の位置に応じて、当該斜光反射部に対応する前記開口部に対する当該斜光反射部の配置が定められ、
(b) 前記複数の画素のうちの少なくとも1つの画素に対応する前記斜光反射部に対応する前記開口部に対する当該斜光反射部の配置と、前記複数の画素のうちの他の少なくとも1つ画素に対応する前記斜光反射部に対応する前記開口部に対する当該斜光反射部の配置とが、異なるものである。

【0022】この第8の態様によっても、前記第7の態様と同様に、画素の位置による斜光反射部の反射特性（斜光反射部の反射量）のばらつきを低減することができ、好ましい。

【0023】本発明の第9の態様による固体撮像装置は、前記第1乃至第8のいずれかの態様において、2次

元状に配列された複数の光電変換部であって、各々が入射光に応じた信号電荷を生成して蓄積する複数の光電変換部と、前記複数の光電変換部に対応して設けられた複数の増幅部であって、各々が、制御領域を有し該制御領域の電荷に応じた信号出力を生ずる複数の増幅部と、前記複数の光電変換部に対応して設けられた複数の転送部であって、前記複数の光電変換部でそれぞれ生成されて蓄積された信号電荷を前記複数の増幅部の前記制御領域にそれぞれ転送する複数の転送部と、各々が前記複数の光電変換部の各行に設けられた複数の配線と、前記複数の増幅部に対応して設けられた複数の半導体領域と、前記複数の光電変換部の各行に設けられ、当該行に対応する前記複数の半導体領域と当該行に対応する前記複数の増幅部の前記制御領域との間の電気的に接続及び遮断を制御する複数のスイッチング素子であって、各々が、当該行に対応する前記複数の半導体領域のいずれかと当該行に対応する前記複数の増幅部のいずれかの前記制御領域とをそれぞれ主電極領域とする複数のスイッチング素子とを備え、
(a) 前記複数の半導体領域の全体のうちの少なくとも1つの半導体領域は、入射光に応じた信号電荷を生成するように形成され、
(b) 前記複数の光電変換部の各行に、当該行に対応する前記複数のスイッチング素子が導通状態にある場合には、当該行に対応する前記複数の増幅部の前記制御領域が当該行に対応する前記配線に対して電気的に接続された状態となるとともに、当該行に対応する前記複数のスイッチング素子が遮断状態にある場合には、当該行に対応する前記複数の増幅部の前記制御領域が当該行に対応する前記配線に対して電気的に遮断された状態となり、
(c) 前記複数の光電変換部の各行のうち前記少なくとも1つの半導体領域が関連する各行については、当該行に対応する前記複数のスイッチング素子が導通状態にある場合には、前記少なくとも1つの半導体領域が当該行に対応する前記配線に対して電気的に接続された状態となり、
(d) 前記光電変換部が、前記画素に対して形成された前記1つ以上の受光部のうちの1つの受光部を構成し、
(e) 前記入射光に応じた信号電荷を生成するように形成された前記少なくとも1つの半導体領域が、前記画素に対して形成された前記前記1つ以上の受光部のうちの他の1つの受光部を構成するものである。

【0024】この第9の態様は、前記第1乃至第8の態様を、特開11-204769号に開示されたような、撮像のために本来的な入射光を受光する撮像用の受光部（前記光電変換部）の他に、入射光量モニタ用の受光部（前記半導体領域）も備えている固体撮像装置に、適用した例である。この第9の態様によれば、例えば、入射光量を精度良くモニタすることができるなどの効果を得ることができ、可能となる。

【0025】

【発明の実施の形態】以下、本発明による固体撮像装置

について、図面を参照して説明する。

【0026】第1の実施の形態

【0027】図1は、本発明の第1の実施の形態による固体撮像装置の単位画素を模式的に示す概略平面図である。図2は、図1中のX1-X2線に沿った概略断面図である。図3は、図1中のY1-Y2線に沿った概略断面図である。図4は、図1中のY3-Y4線に沿った概略断面図である。図5は、この単位画素の等価回路を示す回路図である。

【0028】本実施の形態による固体撮像装置は、図1乃至図5に示す単位画素が2次元マトリクス(m×n)に配列された構成を有している。この単位画素は、図1乃至図5に示すように、入射光に応じた信号電荷を生成して蓄積する光電変換部としてのフォトダイオード1と、制御領域としてのゲート領域15の電荷に応じた信号出力(増幅出力)を生ずる増幅部としての接合型電界効果トランジスタ(以下、「JFET」という)2と、フォトダイオード1で生成されて蓄積された信号電荷をJFET2のゲート領域15に転送する転送部としてのポリシリコンからなる転送ゲート3と、JFET2のゲート領域15の電荷を排出させるとともに当該ゲート領域15の電位を制御するための駆動信号のRSDが供給される配線としてのリセットドレイン配線24と、JFET2に対応して設けられたP型拡散層(P型半導体領域)としてのリセットドレイン4と、該リセットドレイン4とJFET2のゲート領域15との間の電気的な接続及び遮断を制御するスイッチング素子としての絶縁ゲート型トランジスタであるPチャネルMOSFET9であって、当該画素のリセットドレイン4と当該画素のJFET2のゲート領域15とをそれぞれ主電極領域とするともにリセットゲート5を制御電極とするPチャネルMOSFET9と、を備えている。

【0029】前記フォトダイオード1、JFET2及びリセットドレイン4は、N型高濃度シリコン基板10の主表面側上部に形成された低濃度N型エピタキシャル層11中に形成され、転送ゲート3及びリセットゲート5はN型エピタキシャル層11上に絶縁膜33を介して形成されている。

【0030】フォトダイオード1は、図3及び図4に示すように、N型エピタキシャル層11中に形成されたP型電荷蓄積領域12と、P型電荷蓄積領域12上部の半導体表面近傍に形成された高濃度のN型半導体領域13と、N型エピタキシャル層11とから構成され、埋込型のフォトダイオードとなっている。

【0031】JFET2は、図2及び図3に示すように、N型エピタキシャル層11中に形成された、P型拡散層からなるゲート領域15と、このP型ゲート領域15中に形成された高濃度のN型ソース領域14及びN型チャネル領域17と、チャネル領域17を挟んでソース領域14と向き合う位置の、N型エピタキシャル層11

の部分からなるドレイン領域とから構成され、フォトダイオード1の電荷をゲート領域15で受け取り、これを増幅して出力する。

【0032】図1、図3及び図4に示すように、画素の周囲領域には、互いに隣接する画素間の分離領域となる高濃度のN型拡散層16が、フォトダイオード1を構成するN型ソース領域14及びN型エピタキシャル層11と連続して形成されている。したがって、フォトダイオード1を構成するPN接合のN型領域(11、13)と、JFETのN型ドレイン領域(N型エピタキシャル層11の一部)とは、電気的に接続されている。

【0033】JFET2のP型ゲート領域15はN型チャネル領域17を上下から挟むように形成されており、基板バイアス効果を抑えて、ソースフォロ動作のゲインを高めると同時にゲインばらつきを抑圧する構造となっている。

【0034】転送ゲート3は、図3に示すように、フォトダイオード1のP型電荷蓄積領域12とJFET2のP型ゲート領域15との境界領域上に絶縁膜33を介して形成されたゲート電極より構成され、フォトダイオード1のP型電荷蓄積領域12で蓄積された電荷をJFET2のP型ゲート領域15に転送する。

【0035】すなわち、フォトダイオード1を構成するPN接合のP型領域(P型電荷蓄積領域12)と、転送ゲート3と、JFET2のP型ゲート領域15とで、PチャネルMOSFETが構成されている。

【0036】リセットドレイン4は、図2及び図4に示すように、N型エピタキシャル層11中に形成され、P型半導体領域より構成され、フォトダイオード1で生成蓄積されたJFET2のP型ゲート領域15に転送された電荷を排出し、また、リセットゲート5を介して(すなわち、リセットゲート5を有するPチャネルMOSFET9により)、JFET2のP型ゲート領域15の電位を制御する。

【0037】リセットゲート5は、図2に示すように、JFET2のP型ゲート領域15とP型半導体領域であるリセットドレイン4との境界領域上に絶縁膜33を介して形成されたゲート電極より構成され、JFET2のP型ゲート領域15とリセットドレイン4との電気的な接続状態を制御する。すなわち、前述したように、JFET2のP型ゲート領域15と、リセットゲート5と、リセットドレイン4とで、PチャネルMOSFET9が構成されている。なお、このMOSFET9は、当該画素のリセットドレイン4と当該画素のJFET2のゲート領域15とをそれぞれ主電極領域とするともに、リセットゲート5を制御電極としている。

【0038】また、当該画素のJFET2のP型ゲート領域15と方向の一方側の隣接画素のリセットドレイン4との境界領域上には、ゲート電極(図1及び図2中の左側のゲート電極)5aが、絶縁膜33を介して形成

されている。また、当該画素のリセットドレイン4と行方向の他方側の隣接画素のJFET2のP型ゲート領域15との境界領域上には、ゲート電極（図1及び図2中の右側のゲート電極）5aが、絶縁膜33を介して形成されている。すなわち、当該画素のJFET2のP型ゲート領域15と行方向の一方側の隣接画素のリセットドレイン4とをそれぞれ主電極領域とするとともに図1中の左側のゲート電極5aを制御電極とする画素間のスイッチング素子としての図1及び図2中の左側のPチャネルMOSFET9a、及び、当該画素のリセットドレイン4と行方向の他方側の隣接画素のJFET2のP型ゲート領域15とをそれぞれ主電極領域とするとともに図1中の右側のゲート電極5aを制御電極とする画素間のスイッチング素子としての図1及び図2中の右側のPチャネルMOSFET9aが、形成されている。ゲート電極5a、5aは、リセットゲート5と同じく、リセットゲート配線21と連続してポリシリコンにより形成されており、当該リセットゲート配線21によりゲート電極5a、5a及びリセットゲート5が共通して接続されている。

【0039】さらに、フォトダイオード1で過剰に生成された電荷をリセットドレイン4に導くオーバーフロー制御領域6が形成されている。オーバーフロー制御領域6は、フォトダイオード1のP型電荷蓄積領域12と、リセットドレイン4との境界領域のN型エピタキシャル層11内部に形成されたP型半導体領域からなり、フォトダイオード1で過剰に生成された電荷をリセットドレイン4に導くオーバーフロー動作を制御する。また、オーバーフロー制御領域6上部の半導体表面近傍には、前述した高濃度のN型半導体領域16が形成されている。すなわち、フォトダイオード1のP型電荷蓄積領域12、P型オーバーフロー制御領域6、リセットドレイン4を、それぞれ、ソース領域、チャネル領域、ドレイン領域とし、高濃度のN型半導体領域16及びN型エピタキシャル層11をゲート領域とした、PチャネルJFETが形成されている。このPチャネルJFETは、フォトダイオード1が標準的な動作をしている場合はカットオフ（遮断）状態であり、フォトダイオード1に強い光が入射して、P型電荷蓄積領域12にある一定量以上の電荷（この場合はホールによる正電荷）が蓄積されると、つまり、P型電荷蓄積領域12の電位があるレベル以上に上昇すると、導通（オン）状態となるように形成されている。したがって、フォトダイオード1で過剰に生成された電荷は、オーバーフロー制御領域6を経由して、リセットドレイン4に流出する。この過剰電荷は所定の経路を経由してリセットドレイン配線24から排出される。オーバーフロー制御領域6上部の半導体表面近傍に形成された高濃度のN型半導体領域16は、フォトダイオード1の表面近傍に形成された、高濃度のN型半導体領域13と連続して形成されている。したがって、

フォトダイオード1のP型電荷蓄積領域12の半導体表面近傍は、周囲領域も含めて、高濃度のN型半導体領域（13及び16）で覆われた構造となり、フォトダイオード1は埋め込みフォトダイオードとなっている。なお、フォトダイオード1の転送ゲート3側の端部及び転送ゲート3下部には、構造上、高濃度のN型半導体領域（13及び16）が形成されていないが、埋め込みフォトダイオードの性能（半導体表面の非空乏化による低暗電流特性）は保持される。これは、フォトダイオード1が光電変換によって信号電荷の蓄積動作を行っている期間中は、転送ゲート3は遮断（オフ）状態で、ハイレベルのバリス電圧が印加されており、結果として、この領域の半導体表面近傍に電子が誘起され、高濃度のN型半導体領域とされるためである。このように、フォトダイオード1は、JFET型の横型オーバーフロードレイン構造を備えた、埋め込み型のフォトダイオードとなっており、オーバーフロー構造によって、ブルーミング、スマア等のにじみの現象を抑圧することができるとともに、埋め込みフォトダイオードによって、PN接合部に生じる空乏層が半導体表面に達しないため、暗電流が抑圧される。また、電荷が転送された後にフォトダイオードに電荷が残らない（完全転送、または完全空乏化による）ため、残像、リセットノイズを抑えた理想的な特性が得られる。

【0040】その他、ポリシリコンからなる転送ゲート配線20、ポリシリコンからなるリセットゲート配線21、第2層A1膜からなる前述したリセットドレイン配線24、第1層A1膜による垂直信号線（JFET2のソース配線）22も、図に示すように形成されている。すなわち、各JFET2のN型ソース領域14は、垂直信号線22により、垂直走査方向（列方向）に各列毎に共通に接続されている。また、転送ゲート3は転送ゲート配線20により、リセットゲート5はリセットゲート配線21により、それぞれ水平走査方向（行方向）に各行毎共通に接続されている。

【0041】本実施の形態では、リセットドレイン配線24は、遮光膜として兼用されている。リセットドレイン配線24には、フォトダイオード1に対応する領域に光入射用の開口部24aが形成されるとともに、リセットドレイン4に対応する領域に光入射用の開口部24bが形成されている。遮光膜としてのリセットドレイン配線24は、フォトダイオード1及びリセットドレイン4を除く領域を覆い、この領域を遮光している。なお、リセットドレイン配線24は、図面には示していないが、各行毎に、水平方向のいずれか1つ以上の画素のリセットドレイン4に電気的に接続されている。

【0042】リセットドレイン4は前述したようにP型半導体領域であり、この下にN型半導体領域（N型エピタキシャル層）11が配置され、リセットドレイン4とN型半導体領域11とは常時逆バイアスされるため（V

DD> ϕ RS D)、リセットドレイン4は、光電変換部としてのフォトダイオード1とは別の、フォトダイオード40として働く。このフォトダイオード40には、開口部24bに入射した光に応じて発生した信号電荷(本例では、ホール)による光電流が発生する。すなわち、本実施の形態では、半導体領域としてのリセットドレイン4が、入射光に応じた信号電荷を生成するように形成されている。このように、本実施の形態では、1つの画素に対して、映像信号を得るために本来的な入射光を受光する撮像用の受光部としてのフォトダイオード1の他に、入射光量モニタ用の受光部としてのフォトダイオード40も形成されている。

【0043】そして、本実施の形態では、図1及び図4に示すように、フォトダイオード1とフォトダイオード40との間において、フォトダイオード1、40と遮光膜(リセットドレイン配線)24との間の高さ位置において、第1層A1膜からなる斜光反射膜60が形成されている。斜光反射膜60の両側面は、遮光膜24の配線24の開口部24a(フォトダイオード1に対応)の全周の一部及び開口部24b(フォトダイオード40に対応)の全周の一部にそれぞれ沿っており、それぞれ斜光反射面を形成している。また、斜光反射膜60と遮光膜24との間には、開口部24aの全周の一部に沿ってタングステンが充填された溝状のスルーホール61が形成されたとともに、開口部24bの全周の一部に沿って溝状のタングステンが充填された溝状のスルーホール62が形成されている。本実施の形態では、斜光反射膜60及びスルーホール61が、開口部24aの全周の一部に沿って形成された斜光反射部を構成している。また、斜光反射膜60及びスルーホール62が、開口部24bの全周の一部に沿って形成された斜光反射部を構成している。

【0044】これらの斜光反射部の作用については、後に詳述する。

【0045】図6は、図1乃至図5に示す単位画素を2次元マトリクス(m \times n)に配列した本実施の形態による固体撮像装置を示す回路図である。

【0046】前述した構造に関する説明からもわかるように、単位画素となる各画素は、JFET2、転送ゲート3、リセットドレイン4、1画素内に1個存在するリセットゲート5、隣接画素に半分ずつ跨る2個のPチャネルMOSFET9a、映像信号を得るために本来的な入射光を受光する撮像用の受光部としてのフォトダイオード1、及び、入射光量モニタ用の受光部としてのフォトダイオード40から構成されている。さらに、リセットドレイン4とJFET2のゲート領域15との間の電気的な接続及び遮断を制御するスイッチング素子として、JFET2のゲート領域15、リセットゲート5及びリセットドレイン4で構成されるPチャネルMOSトランジスタ9gが、1画素内に1個存在している。これら

は、図5に示すように、電気的に接続されている。

【0047】各JFET2のソース領域(S)14は、マトリクス配置の各列毎に垂直信号線22-1~22-2n(図5中の垂直信号線22に相当)によってそれぞれ共通に接続されている。

【0048】各JFET2のドレイン領域(D)は、N型エピタキシャル層11により全画素共通にドレイン電源VDDに接続されている。

【0049】転送ゲート3は、マトリクス配置の各行毎に、転送ゲート配線20-1~20-m(図5中の転送ゲート配線20に相当)によって水平走査方向に共通に接続され、垂直走査回路7に接続されている。そして、垂直走査回路7から送出される駆動パルス ϕ TG1~ ϕ TGmによって、各行毎に動作するようになっている。

【0050】マトリクス配置の各行において、リセットドレイン4とJFET2のゲート領域15とが行方向(水平走査方向)に交互に配置され、各画素間には全てゲート電極5aが配置されて前記PチャネルMOSFET9aが形成されている。なお、マトリクス配置の各行において、当該行の画素内の全てのリセットゲート5及び当該行の画素間のゲート電極5aは、全て各行毎にリセットゲート配線21により行方向に共通に接続され、垂直走査回路7から送出される駆動パルス ϕ RS G1~ ϕ RS Gmによって各行毎に動作し、当該行のスイッチング素子としてのPチャネルMOSFET9、9aは全て同時にオン・オフすることとなる。

【0051】このため、各行毎に水平方向のいずれか1つ以上の画素のリセットドレイン4にリセットドレイン配線24が電気的に接続されていることから、図6からもわかるように、各行毎に、当該行の全てのMOSFET9、9aがオン(導通状態にある)している場合には、当該行の全ての画素のJFET2のゲート領域15及びリセットドレイン4が当該行のリセットドレイン配線24に対して電気的に接続された状態となり、画素間のPチャネルMOSFET9aによって当該行の全てのJFET2のゲート領域15及びリセットドレイン4が電気的に接続される。したがって、リセットドレイン4がリセットドレイン配線24に直接に接続されていない画素のJFET2のゲート領域15についても、当該行のリセットドレイン配線24に対して電気的に接続された状態となる。また、各行毎に、当該行の全てのMOSFET9、9aがオフしている(遮断状態にある)場合には、当該行の全ての画素のJFET2のゲート領域15が当該行のリセットドレイン配線24に対して電気的に遮断された状態となる。

【0052】したがって、各行毎に、当該行のリセットドレイン配線24に、JFET2のゲート領域15の電荷を排出させるとともに当該ゲート領域15の電位を制御するための駆動信号 ϕ RS Dを与えることにより、この信号を当該行の全ての画素のJFET2のゲート領域

15に与えることができる。

【0053】また、各行について、当該行の全てのPチャネルMOSFET 9、9aがオンしている場合には、画素間のPチャネルMOSFET 9aによって当該行の全てのJFET 2のゲート領域15及びリセットドレイン4が電気的に接続されるので、当該行のリセットドレイン4は、当該行のPチャネルMOSFET 9a及びリセットドレイン4を経由して、当該行のリセットドレイン配線24に対して電気的に接続された状態となる。したがって、前記開口24bから入射した光に応じて発生した信号電荷（本実施形態ではホール）による光電流を、当該行のリセットドレイン配線24から出力させることができる。

【0054】各行について、当該各行のリセットドレイン配線24は、それぞれMOSFET等からなるスイッチQAを介して垂直走査回路7の当該行の各駆動バルスφRSDの出力部にそれぞれ接続され、更に、当該各行のリセットドレイン24と光量モニタ信号出力端子50との間にそれぞれスイッチQBが接続されている。各スイッチQAのゲート電極には駆動バルスφPDが印加され、各スイッチQBのゲート電極には駆動バルスφPDをノットゲート51で反転したバルスが印加されるようになっている。本実施の形態では、前記各スイッチQA及び各スイッチQBが、各行のリセットドレイン配線24に、当該行の各画素のJFET 2のゲート領域15の電荷を排出させるとともに当該ゲート領域15の電位を制御するための駆動信号φRSDが供給される状態と、当該行のリセットドレイン配線24から当該配線24に現れた信号を出力させる状態とを、切り替える切替部を構成している。したがって、本実施の形態では、各画素のリセットドレイン4で発生した光電流I_pはスイッチQBを介して端子50から素子外部へ出力することができ。

【0055】垂直信号線22-1〜22-nは一方において、各電流源26-1〜26-nに接続され、これにより定電流源26-1〜26-nから定電流が流れ、JFET 4と定電流源26-1〜26-nとでソースフォロワ回路を構成している。このソースフォロワ回路の出力側には、それぞれ読み出し回路としての差分処理回路27-1〜27-nに接続されている。差分処理回路27-1〜27-nは、容量28-1〜28-nとMOSFET等のスイッチ29-1〜29-nとから構成されている。スイッチ29-1〜29-nのゲートは共通接続されて、バルスφNにより動作するようになっている。差分処理回路27-1〜27-nの出力部は、水平選択スイッチ39-1〜39-nを介して信号出力線34に接続されている。水平選択スイッチ39-1〜39-nは、水平走査回路8から送出されるバルスφH1〜φHnによって順次動作し、差分処理回路27-1〜27-nの出力を順次信号出力線34へ出力させる。この出力

は、信号出力線34に接続された出力アンプ35を介して外部に出力される。なお、出力信号線34はスイッチ36を介して接地されている。このスイッチ36は、バルスφRHによって動作するようになっている。

【0056】次に、本実施の形態による固体撮像装置を搭載した一眼レフデジタルスチルカメラ等を用いて静止画を撮像する場合の、固体撮像装置と当該カメラのシャッタの駆動タイミングチャートを図7に示す。

【0057】期間T1内の前半の期間T1aで、全画素の転送ゲート3がオンオフされ、全画素のフォトダイオード1の電荷がJFET 2のゲート領域15に転送され、フォトダイオード1がリセットされる。この時、各駆動バルスφRSDが電圧VGHとなっており、各駆動バルスφRSGがローレベルとなってPチャネルMOSFET 9、9aが全てオンになっていることから、JFET 2のゲート領域15は電圧VGHに設定されている。

【0058】次に、期間T1内の後半の期間T1bで、各駆動バルスφRSDがハイレベルとされ、この時もPチャネルMOSFET 9、9aが全てオンになっていることから、全画素のJFET 2のゲート領域15が電圧VGL（JFET 4をオフさせる電位）に設定され、画素の初期化が終了し、露光状態に入る準備が完了する。

【0059】期間T2では、シャッタ101が開いて露光状態となる。この時、光量をモニタする機能を有する前記第1の画素を含む行のPチャネルMOSFET 9、9aが全てオンになっており、かつ、バルスφPDがローレベルであるためにスイッチQBがオンしてスイッチングQAがオフしているのでもリセットドレイン配線24が出力端子50に接続された状態に切り替わっている。その結果、各画素で発生した光電流I_pがシャッタ制御回路の光電流積分回路（図示せず）に流れ、その出力電圧V_{ip}は、図7に示すように変化する。電圧V_{ip}の傾きが、固体撮像装置15への入射光強度に比例するので電圧V_{ip}をモニタすることにより所望の露光量を露光中にリアルタイムで求めることができる。すなわち、図7で光電流積分回路の出力電圧V_{ip}が参照電圧V_cを越えた時点で、シャッタ制御回路から制御信号を送りシャッタを閉じる。その後、順次各行を読み出していく。

【0060】期間T3で、スイッチQAがオフしてスイッチングQAがオンしているのでリセットドレイン配線24が垂直走査回路7側に切り替わっている。この時、PチャネルMOSFET 9、9aが全てオンになっているので、当該行の駆動バルスφRSDにより、JFET 2のゲート領域15は、電圧VGHに設定され、その後、PチャネルMOSFET 9、9aがオフしてフローティング状態にされる。

【0061】期間T4で、ソースフォロワモードでJFET 2のソース領域14から信号が読み出され、基準信

号(暗出力) V_{ref} として差分処理回路27の容量28に保持される。そして、パルスφNがローになってスイッチ29がオフすると、容量28の出力側(29側)がフローティングになる。

【0062】期間T5で、フォトダイオード1に蓄積された光信号電荷が、転送ゲート3を介してJFET2のゲート領域15に転送される。この時、容量28の出力側はフローティングになっているので、JFET2のソース領域14(S)から読み出された光信号(明出力) V_s と基準信号(暗出力) V_{ref} の差信号 $V_s - V_{ref}$ が現れる。

【0063】期間T6で、水平走査回路8により水平選択スイッチ39が順次オンし、当該行の各画素の差信号 $V_s - V_{ref}$ が画像信号として容量28-1から読み出され、出力アンプ35を介して出力端子OUTから出力される。

【0064】前記期間T3〜T6は各行について順次繰り返される。

【0065】このように、本実施の形態による固体撮像装置は、露出中に固体撮像装置へ直接入射する光量をリアルタイムでモニタできるため、当該固体撮像装置を用いたデジタルスチルカメラ等では、入射光量が変化しても常に最適な露出時間で撮像することができる。なお、ストロボを使用する場合についても、同様に、TTL調光して最適な露出時間で撮像することができる。

【0066】ここで、前述した斜光反射部(斜光反射膜60、スルーホール61、62)の技術的意義について、図8乃至図11に示す比較例としての固体撮像装置と比較して、説明する。

【0067】図8乃至図11は、図1乃至図4にそれぞれ対応している。図8乃至図11において、図1乃至図4中の要素と同一又は対応する要素には、同一符号を付し、その重複する説明は省略する。図8乃至図11に示す固体撮像装置が、本実施の形態による固体撮像装置と異なる所は、斜光反射部(斜光反射膜60、スルーホール61、62)が形成されていない点のみである。

【0068】この比較例では、図9に示すように、斜めに入射した入射光100の光量をモニタしている間に、開口部23を通過した入射光100のうち、斜め入射光成分の一部は、ポリシリコンからなるリセットゲート5を通過してJFET2へと光発生電荷を誤混入させることになり、光量モニタとして入射光量を正確に把握できなくなってしまう。

【0069】また、この比較例では、図10に示すように、光量をモニタしている間及び本撮影時の間の双方の時においても、ポリシリコンからなる転送ゲート3を通過した入射光により発生した電荷が、JFET2へと誤混入してしまう。そのため、モニタ精度が低下するとともに、本撮影中における感度低下をもたらしてしまう。

【0070】さらに、この比較例では、図11に示すよ

うに、前述した図9の場合と同様に、光量をモニタするに際し、開口部24aを通過して本来リセットドレイン4へ入射しようとした光のうち、斜め入射光成分の一部は、ポリシリコンからなるリセットゲート配線21を通過して、その発生電荷がP型ラテラルオーバーフロードレイン拡散層6を介して隣接画素のフォトダイオード1のP型電荷蓄積領域12(図11中の左端に現れた領域12)へと誤混入してしまい、光量モニタとして入射光量を正確に把握できなくなってしまう。これに加えて、開口部24bを通過してフォトダイオード1に斜め入射した入射光100のうち、転送ゲート配線20を通過して侵入した光により発生した電荷が、フォトダイオード4を構成するリセットドレイン4へと誤混入してしまい、光量モニタとしての出力を不正確にさせてしまうとともに、本撮影中における感度低下をもたらしてしまう。

【0071】これに対し、本実施の形態によれば、図2及び図3の状況は比較例の図9及び図10の状況と同じであるが、前述した斜光反射部が形成されていることによって、図4に示す状況は比較例の図11の状況と大きく異なる。

【0072】すなわち、本実施の形態によれば、図4に示すように、開口部24bを通過して本来リセットドレイン4へ入射しようとした光のうち、ポリシリコンからなるリセットゲート配線21を通過して、図11の場合にはその発生電荷がP型ラテラルオーバーフロードレイン拡散層6を介して隣接画素のフォトダイオード1のP型電荷蓄積領域12(図11中の左端に現れた領域12)へと誤混入する斜め入射光成分が、1層目のA1膜からなる斜光反射膜60の側面及びタングステンにて充填されたスルーホール62の側面にて反射されて、本来落ちるべきP型リセットドレイン拡散層4へと入射する。その結果、隣接画素のフォトダイオード1のP型電荷蓄積領域12への誤混入を抑制でき、モニタ感度及びモニタ精度を向上させることができる。

【0073】また、本実施の形態によれば、図4に示すように、フォトダイオード1の部分においても同様に、図11の場合には開口部24aを通過しポリシリコン転送ゲート配線20を通過してP型リセットドレイン拡散層4へと光発生電荷を誤混入させた斜め入射光成分は、1層目のA1膜にて形成された斜光反射膜60の側面及びタングステンにて充填されたスルーホール61の側面にて反射されて、本来落ちるべきP型フォトダイオード拡散12へと入射する。その結果、光量モニタ時にリセットドレイン4へ電荷が誤混入してその光量モニタ精度を低下させることもなく、また本撮影時には感度を向上させることができる。

【0074】斜光反射膜60の材質については、入射光に対する反射率が高いものが好適であり金属が好ましいが、プロセス工程の整合性からも、本実施の形態のよう

に、第1層の配線層と同じく、A1を主成分とする第1層A1膜とすることが好ましい。斜光反射膜60は、本実施の形態のように電極層又は配線層と分離していてもよいし、電極層又は配線層と兼用してもよい。

【0075】また、第2層のA1膜である遮光膜24と第1層のA1膜である斜光反射膜60との間の隙間については、斜め入射光の誤混入の要因となるため、本実施の形態のように、タングステンで充填したスルーホール61、62を設けて接続し、その隙間に光が入射することを抑制することが、好ましい。

【0076】斜光反射部（斜光反射膜50、スルーホール61、62）の配置パターンについては、本実施の形態のように、光量をモニタするリセットドレイン4の周辺を取り囲むように近接させて配置することが、斜め入射光成分を効果的に本来入射すべき位置へと反射させる上で、好ましい。

【0077】斜光反射部（斜光反射膜50、スルーホール61、62）の配置がリセットドレイン4の中心（すなわち、開口部24b）に対して非対称性（点対称に関する非対称性）を顕著に持つと、全ての画素においてリセットドレイン4に対する配置パターンを同じにする場合、光量モニタの感度特性に固体撮像装置の受光領域における各画素の位置に対する依存性が生じてしまい（つまり、斜光反射部で反射して本来リセットドレイン4に落ちる光量が、画素の位置に応じて異なることにより、光量モニタの感度特性が異なってしまう）、好ましくない。

【0078】すなわち、カメラ等の結像レンズの光軸は、画素が分布している領域（イメージエリア）の中心付近に設定されることから、各画素に対する入射光の傾く向きは前記中心に対して対称性を保ちながら（例えば、イメージ領域の中心に対して右側の画素と左側の画素とでは、入射光の傾く方向が逆になる）、その傾きの程度が中心から外側へ向かって大きくなっていく（つまり、周辺部の画素ほどこれに入射する光の傾きは大きくなっていく）。このため、全ての画素においてリセットドレイン4に対する配置パターンを同じにする場合、素子側で感度特性に非対称性があると、斜光反射部による斜め入射光の反射効果に非対称性と位置の関係が影響を及ぼし、固体撮像装置の撮像面内各位置における入射光量を正確に予測することが困難となっていくからである。

【0079】したがって、各画素における斜光反射部の配置パターンを同一にする場合、本実施の形態のように、各画素において、開口部24bの中心に対して斜光反射部を点対称に配置することが、好ましい。各画素における斜光反射部の配置パターンを同一にすると、パターン設計等が容易になる。

【0080】もっとも、イメージエリアの中心（結像レンズの光軸）に対する画素の位置に応じて、開口部24

bの中心に対する斜光反射部の配置パターンを変えれば、前述したように点対称の配置を採用しなくても、画素間の感度のばらつきを低減することができる。その一例を図12に模式的に示す。図12において、基盤目状のマスは、各画素を模式的に示している。また、図12において、Oは紙面手前にある結像レンズ（図示せず）の光軸（イメージエリアの中心）を示し、矢印は画素に対する入射光線の方向を平面に写像して示している。そして、代表として、周辺部の4つの画素についてのみ、リセットドレイン4及び開口部24bとこれに対する斜光反射面60の配置を示している。この例では、開口部24bの一边にのみ斜光反射面60を配置している。

【0081】ところで、以上の説明からわかるように、中心O付近の画素については、入射光はほとんど傾かない。したがって、中心O付近の画素については、必ずしも斜光反射部を形成する必要はない。

【0082】[第2の実施の形態]

【0083】図13は、本発明の第2の実施の形態による固体撮像装置の単位画素を模式的に示す概略平面図である。図14は、図13中のX9-X10線に沿った概略断面図である。図15は、図13中のY9-Y10線に沿った概略断面図である。図16は、図13中のY1-Y12線に沿った概略断面図である。これらの図13乃至図16は、前記第1の実施の形態を示す図1乃至図4にそれぞれ対応するとともに、前記比較例を示す図8乃至図11にそれぞれ対応している。

【0084】図13乃至図16において、図1乃至図4中の要素と同一又は対応する要素には、同一符号を付し、その重複する説明は省略する。

【0085】本実施の形態が前記第1の実施の形態と異なる所は、各画素において、斜光反射膜50、スルーホール61、62が取り除かれ、その代わりには、図13、図14及び図16に示すように、第1層のA1膜からなる信号読み出しライン（垂直信号線）22と一体に連続した斜光反射膜70が、光量をモニタするためのリセットドレイン4の全周（すなわち、開口部24aの全周）の全体を囲むように、斜光反射部としてリセットドレイン4周辺に形成されている点である。したがって、斜光反射膜70が、配線層であるライン22と兼用されている。

【0086】本実施の形態によれば、図15の状況は比較例の図10の状況と同じであるが、前述した斜光反射膜70が形成されていることによって、図14及び図16に示す状況は前述した比較例の図9及び図11の状況と大きく異なる。

【0087】すなわち、本実施の形態によれば、図14に示すように、開口部24aを通過した入射光のうちの斜め入射光成分は、図9の場合と異なり、ポリシリコンリセットゲート5を通過してJFET2へと光発生電荷を誤混入させることなく、1層目のA1膜にて形成され

た斜光反射膜70の側面にて反射されて、本来落ちるべきリセットドレイン領域4へ入射する。その結果、光量モニタとしての感度及び精度を向上させることができる。

【0088】また、本実施の形態によれば、図16に示すように、開口部24bを通過して本来リセットドレイン4へ入射しようとする光のうち、ポリシリコンからなるリセットゲート記録21を通過して、図11の場合にはその発生電荷がP型ラテラルオーバーフロードレイン拡散層6を介して隣接素子のフォトダイオード1のP型電荷蓄積領域12（図11中の左端に現れた領域12）へと誤混入する斜め入射光成分が、1層目のA1膜からなる斜光反射膜70の側面に反射されて、本来落ちるべきP型リセットドレイン拡散層4へ入射する。その結果、隣接素子のフォトダイオード1のP型電荷蓄積領域12への誤混入を抑制でき、モニタ感度及びモニタ精度を向上させることができる。

【0089】さらに、本実施の形態によれば、図16に示すように、フォトダイオード1の部分においても同様に、図11の場合には開口部24aを通過してポリシリコン転送ゲート記録20を通過してP型リセットドレイン拡散層4へ入射する。その結果、斜め入射光成分は、1層目のA1膜にて形成された斜光反射膜70の側面に反射されて、本来落ちるべきP型フォトダイオード拡散12へ入射する。その結果、光量モニタ時にリセットドレインへ電荷が誤混入してその光量モニタ精度を低下させることもなく、また本撮影時には感度を向上させることができる。

【0090】以上、本発明の各実施の形態について説明したが、本発明はこれらの実施の形態に限定されるものではない。

【0091】例えば、本発明は、CCD、CMOSイメージセンサ、他の増幅型イメージセンサなどの種々の固体撮像装置に適用することもできる。また、本発明は、各画素に対して単一の受光部を有する固体撮像装置に適用することもできる。

【0092】本発明による固体撮像装置においては、受光部を全体的に又は部分的に取り囲んだ斜光反射部が受光部開口部と半導体基板との間に形成されているので、開口部から斜めに入射した光を受光部へと反射させることができ、従ってスミアが防止され感度が増加された固体撮像装置を提供することができる。

【0093】また、被写体像を撮像するための第1のフォトダイオード（第1の受光部）の他に光量モニタとして第2のフォトダイオード（第2の受光部）を単位画素内に設けた場合には、同様に開口部から斜めに入射した光を本来落ちるべきフォトダイオードへと反射させることができ、該2画素間のクロストークを抑制することができる。

【0094】

【発明の効果】以上説明したように、本発明によれば、入射する斜光に伴う不都合を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による固体撮像装置の単位画素を模式的に示す概略平面図である。

【図2】図1中のX1-X2線に沿った概略断面図である。

【図3】図1中のY1-Y2線に沿った概略断面図である。

【図4】図1中のY3-Y4線に沿った概略断面図である。

【図5】図1乃至図4に示す単位画素の等価回路を示す回路図である。

【図6】本発明の第1の実施の形態による固体撮像装置を示す回路図である。

【図7】本発明の第1の実施の形態による固体撮像装置とシャッタの駆動タイミングチャートである。

【図8】比較例による固体撮像装置の単位画素を模式的に示す概略平面図である。

【図9】図8中のX5-X6線に沿った概略断面図である。

【図10】図8中のY5-Y6線に沿った概略断面図である。

【図11】図8中のY7-Y8線に沿った概略断面図である。

【図12】斜光反射部の配置パターンの例を模式的に示す図である。

【図13】本発明の第2の実施の形態による固体撮像装置の単位画素を模式的に示す概略平面図である。

【図14】図13中のX9-X10線に沿った概略断面図である。

【図15】図13中のY9-Y10線に沿った概略断面図である。

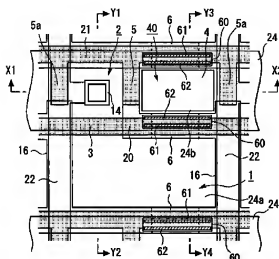
【図16】図13中のY11-Y12線に沿った概略断面図である。

【符号の説明】

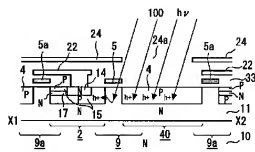
- 1、40 フォトダイオード（受光部）
- 2、J F E T
- 3 転送ゲート
- 4 リセットドレイン
- 5 リセットゲート
- 6 P型のラテラルオーバーフロードレイン拡散層
- 7 垂直走査回路
- 8 水平走査回路
- 9 PチャネルMOSFET
- 10 高濃度N型シリコン基板
- 11 低濃度N型エピタキシャル層
- 12 P型フォトダイオード拡散層
- 13 N型表面空乏化素子拡散層
- 14 J F E TのN型ソース拡散層

- 15 JFETのP型ゲート拡散層
 16 N型素子分離拡散層
 17 JFETのN型チャネル拡散層
 18 P型のリセットドレイン拡散層
 20 ポリシリコンからなる転送ゲート配線
 21 ポリシリコンによるリセットゲート配線
 22 1層目A Iによる信号読み出し配線
 24 2層目A Iによる遮光膜を兼用したリセットドレイン配線
 24a, 24b 開口部
 60, 70 斜光反射膜
 61, 62 スルーホール
 100 入射光

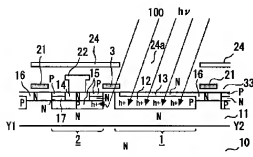
【図1】



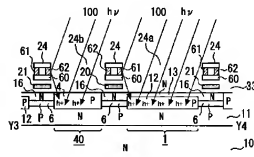
【図2】



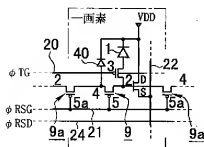
【図3】



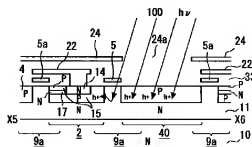
【図4】



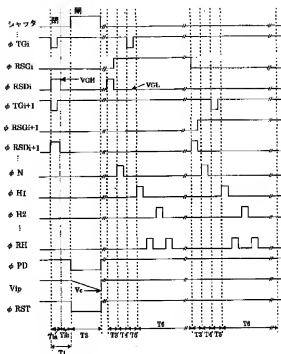
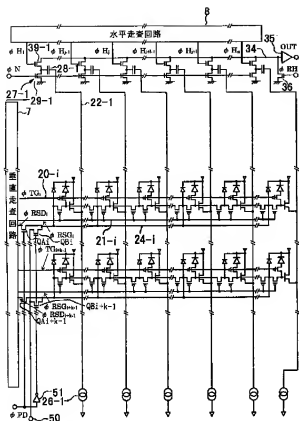
【図5】



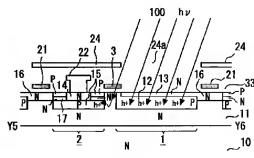
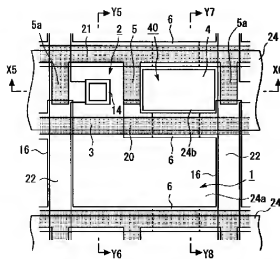
【図9】



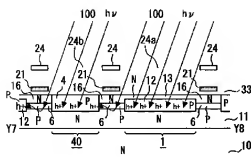
【圖7】



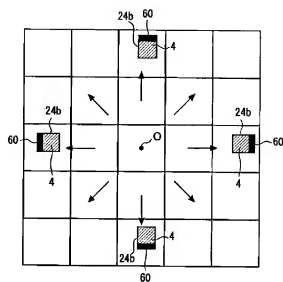
【图 10】



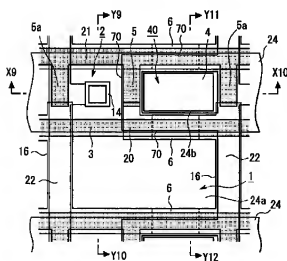
【図 11】



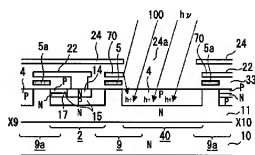
【図 12】



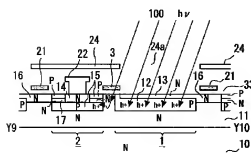
【図 13】



【図 14】



【図 15】



【図 16】

